

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-146491
 (43)Date of publication of application : 06.06.1995

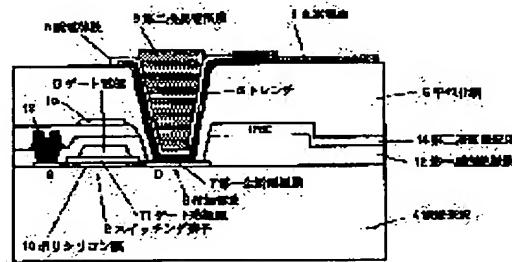
(51)Int.CI. G02F 1/136
 G02F 1/1343
 H01L 29/786

(21)Application number : 05-317342 (71)Applicant : SONY CORP
 (22)Date of filing : 24.11.1993 (72)Inventor : INO MASUMITSU
 HAYASHI HISAO

(54) SEMICONDUCTOR DEVICE FOR DISPLAY ELEMENT SUBSTRATE

(57)Abstract:

PURPOSE: To make large the supplementary capacitance furnished on a semiconductor device for a display element substrate
 CONSTITUTION: A semiconductor device for a display element substrate is configured with an insulative substrate 4, and thereon picture element electrodes 1 arranged in matrix form, switching elements 2 to drive respective picture element electrodes, and supplementary capacitances 3 corresponding to respective picture element electrodes 1 are provided in laminate. A middle-layer region consisting of a flattened layer 5 is interposed between the under-layer region where the switching elements 2 are formed and the over-layer region where the picture element electrodes 1 are formed. The supplementary capacitances 3 are formed in a trench 6 furnished in the flattened layer 5. The supplementary capacitance 3 has a laminate structure consisting of the first metal electrode film 7, dielectric substance film 8, and second metal electrode film 9.



LEGAL STATUS

[Date of request for examination] 27.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3214202

[Date of registration] 27.07.2001

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-146491

(43)公開日 平成7年(1995)6月6日

(51) Int.Cl.⁶
 G 0 2 F 1/136
 1/1343
 H 0 1 L 29/786

識別記号 庁内整理番号
 6 0 0

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 A

審査請求 未請求 請求項の数6 FD (全9頁)

(21)出願番号

特願平5-317342

(22)出願日

平成5年(1993)11月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニー
株式会社内

(72)発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー
株式会社内

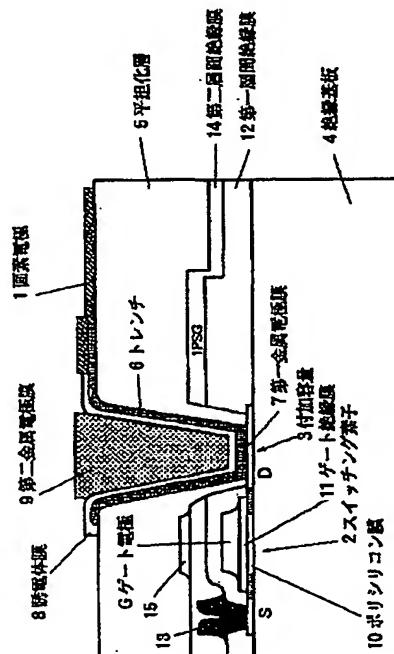
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 表示素子基板用半導体装置

(57)【要約】

【目的】 表示素子基板用半導体装置に設けられる付加容量の大容量化を図る。

【構成】 表示素子基板用半導体装置は絶縁基板4を用いて構成されており、その上にはマトリクス状に配列した画素電極1、個々の画素電極を駆動するスイッチング素子2及び各画素電極1に対応する付加容量3とが集積形成されている。スイッチング素子2が形成された下層領域と、画素電極1が形成された上層領域との間に平坦化層5からなる中層領域が介在している。付加容量3は、平坦化層5に設けられたトレンチ6内に形成されている。付加容量3は第一金属電極膜7、誘電体膜8及び第二金属電極膜9からなる積層構造を有している。



【特許請求の範囲】

【請求項1】 マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に対応する付加容量とが絶縁基板上に集積形成された表示素子基板用半導体装置において、該スイッチング素子が形成された下層領域と、該画素電極が形成された上層領域との間に平坦化層からなる中層領域が介在しており、前記付加容量は、該中層領域に形成されている事を特徴とする表示素子基板用半導体装置。

【請求項2】 前記付加容量は、該中層領域内で重ねて形成された第一金属電極膜、誘電体膜及び第二金属電極膜からなる事を特徴とする請求項1記載の表示素子基板用半導体装置。

【請求項3】 前記誘電体膜は、第一金属電極膜の陽極酸化膜からなる事を特徴とする請求項2記載の表示素子基板用半導体装置。

【請求項4】 前記付加容量は、該平坦化層に形成されたトレンチ内に設けられている事を特徴とする請求項1記載の表示素子基板用半導体装置。

【請求項5】 前記平坦化層は、写真食刻加工可能な透明樹脂材料からなる事を特徴とする請求項4記載の表示素子基板用半導体装置。

【請求項6】 マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に対応する付加容量とが絶縁基板上に集積形成された表示素子基板用半導体装置において、該絶縁基板の表面には厚肉の下地層が形成されており、前記画素電極及び前記スイッチング素子は該下地層の表面に形成されている一方、前記付加容量は該下地層に設けられたトレンチ内に形成されている事を特徴とする表示素子基板用半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示素子基板用半導体装置に関する。より詳しくは、マトリクス状に配列した画素電極に対応して設けられる付加容量の構造に関する。

【0002】

【従来の技術】 表示素子基板用半導体装置はマトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に対応する付加容量とが絶縁基板上に集積形成された構造となっている。表示素子基板用半導体装置は例えばアクティブマトリクス液晶ディスプレイの駆動基板として用いられる。現在表示品質の向上を図る上で、スイッチング素子として用いられる薄膜トランジスタへの飛び込み電荷や、薄膜トランジスタのリーク電流に起因する信号電荷保持能力の低下が問題となっている。これに対処する為、画素電極に接続されている付加容量の増大化が最も有効な手段の一つとされている。一方、アクティブマトリクス液晶ディスプレイ

の高精細化が必要となってきており、益々一画素当たりのサイズが微細化されてきている。高精細化及び微細化に当たって特に問題となるのが画素開口率である。画素開口率の悪化要因として、薄膜トランジスタ及び付加容量の素子サイズがある。

【0003】 付加容量の素子サイズを縮小し画素開口率を確保する為トレンチ構造が提案されており、例えば特開平1-81262号公報に開示されている。トレンチ構造は図13に示す様に、絶縁基板101にトレンチ102を形成して、付加容量103をその内部に作り込むものである。トレンチ102の側壁を利用する事により付加容量の実効面積を稼ぐとともに、表面積の縮小化を図っている。絶縁基板101の表面には画素電極104とスイッチング素子105も形成されている。スイッチング素子105はポリシリコン薄膜106と、ゲート絶縁膜107を介してその上に積層されたゲート電極108とから構成されている。ゲート電極108は他のポリシリコン薄膜を所定の形状にパタニングしたものである。薄膜トランジスタのソース領域Sには信号電極109が接続されており、ドレイン領域Dには前述した画素電極104が接続されている。

【0004】 付加容量103は第一電極110、誘電体膜111、第二電極112の積層構造からなる。第一電極110はポリシリコン薄膜106と同一層であり、誘電体膜111はゲート絶縁膜107と同一層であり、第二電極112はゲート電極108と同一層である。

【0005】

【発明が解決しようとする課題】 トレンチ構造を有する付加容量103では、下側の第一電極110として用いられるポリシリコン薄膜の低抵抗化を図る必要がある。この為不純物の熱拡散処理が行なわれる。しかしながら、付加容量103に対する熱拡散処理を行なった後、薄膜トランジスタ作成工程に移ると、素子領域へ不純物が再拡散するという不具合があり、薄膜トランジスタの特性が損なわれるという課題があった。これに換えて、発明者は先の特許出願で低抵抗化を図る手段として、不純物のイオン注入処理を提案している。この場合にはイオン注入による不純物の飛程距離をトレンチ側壁に対して最適化する必要がある。しかしながら実際には、イオン注入時のエネルギーのばらつきあるいはトレンチ側壁のテーパ角のばらつきがある為、均一に低抵抗化を図る事が困難であった。又、トレンチの深さが飛程距離に依存して決定される為、あまり大きく設定する事ができず通常3μm以上にする事は難しかった。従って、大容量化にも限界があった。

【0006】 加えて、絶縁基板上にスイッチング素子及び付加容量を集積形成した構造では、表面状態が凹凸を含む為アクティブマトリクス液晶ディスプレイ等に応用した場合液晶の配向制御が均一に行なえないという課題があった。

【0007】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる表示素子基板用半導体装置は基本的な構成として、マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に対応する付加容量とが絶縁基板上に集積形成されている。かかる構造において、スイッチング素子が形成された下層領域と画素電極が形成された上層領域との間に平坦化層からなる中層領域が介在している。本発明の特徴事項として、前記付加容量は、該中層領域に形成されている。

【0008】具体的には、前記付加容量は該中層領域内で重ねて形成された第一金属電極膜、誘電体膜及び第二金属電極膜からなる。前記誘電体膜は第一金属電極膜の陽極酸化膜からなる。かかる積層構造を有する付加容量は、該平坦化層に形成されたトレンチ内に設けられている。トレンチを形成する為、前記平坦化層は、写真食刻加工可能な透明樹脂材料からなる。

【0009】本発明は平坦化層を介在させた基板構造に限られるものではない。本発明の他の側面によれば、絶縁基板の表面に厚肉の下地層が形成される。画素電極及びスイッチング素子はこの下地層の表面に形成されている一方、付加容量は下地層に設けられたトレンチ内に形成される。

【0010】

【作用】本発明によればスイッチング素子が形成された下層領域と画素電極が形成された上層領域との間に平坦化層が介在しており、絶縁基板表面の凹凸が除かれている。これにより表示素子基板用半導体装置をアクティブマトリクス液晶ディスプレイの駆動基板として用いた場合、液晶の配向制御が容易になりディスプレイの高精細化が促進できる。又、付加容量は平坦化層に形成された

トレンチ内に設けられる。これにより付加容量を立体構造化でき容量増大化が図れる一方、素子の占有面積を縮小できるので画素開口率が改善する。付加容量を一对の金属電極膜と両者に挟持された誘電体膜で構成する事により、特に低抵抗化を図る事なく低温プロセスで付加容量を作成できる。従って、平坦化層と付加容量との間でプロセス上の整合性がとれている。

【0011】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示素子基板用半導体装置の第1実施例を示す模式的な断面図である。図示する様に、表示素子基板用半導体装置はマトリクス状に配列した画素電極1、個々の画素電極1を駆動するスイッチング素子2、各画素電極1に対応する付加容量3とが絶縁基板4上に集積形成されている。表示素子基板用半導体装置は積層構造を有しており、下層領域にはスイッチング素子2等が形成されている。上層領域には画素電極1等が形成されている。この下層領域と上層領域との間に平坦化層5からなる中層領域が介在している。この平坦化層5は絶縁基板4表面の凹凸を吸収し表面の平坦化を図るものである。本発明の特徴事項として付加容量3は中層領域に形成されている。具体的には平坦化層5に形成されたトレンチ6内に設けられている。付加容量3はトレンチ6の側壁及び底壁に沿って積層された第一金属電極膜7、誘電体膜8、第二金属電極膜9とから構成されている。誘電体膜8は第一金属電極膜7の陽極酸化膜からなる。第一金属電極膜7、その陽極酸化膜からなる誘電体膜8、第二金属電極膜9の組み合わせとしては様々な金属材料が選択可能である。以下の表1にその具体例を挙げる。

【表1】

$Ta + Ta_2 O_5 + Ta, MoTa + MoTaO_2 + MoTa,$
 $Ta + Ta_2 O_5 + ITO, MoTa + MoTaO_2 + ITO$
 $Al + Al_2 O_3 + Al, Al + Al_2 O_3 + ITO,$
 $Ta + Ta_2 O_5 + Al, MoTa + MoTaO_2 + Al$
 $Al + Al_2 O_3 + Ta, Al + Al_2 O_3 + MoTa,$
 $Ta + Ta_2 O_5 + ScO_x, MoTa + MoTaO_2 + ScO_x$
 $Ta + Ta_2 O_5 + Cr, MoTa + MoTaO_2 + Cr,$
 $Ta + Ta_2 O_5 + Ti, MoTa + MoTaO_2 + Ti,$
 $Ta + Ta_2 O_5 + AlSc, MoTa + MoTaO_2 + AlSc,$
 $Ti + TiO_2 + Ti, Ti + TiO_2 + Al,$
 $Al + Al_2 O_3 + Mo, Ti + TiO_2 + Ta,$
 $Ti + TiO_2 + MoTa, Ti + TiO_2 + Cr,$
 $Ti + TiO_2 + AlSc, Ti + TiO_2 + Mo,$
 $Ti + TiO_2 + ITO, MoTa + MoTaO_2 + Mo,$
 $Cr + CrO_2 + Cr, Cr + CrO_2 + Ta,$
 $Cr + CrO_2 + MoTa, Cr + CrO_2 + ITO,$
 $Cr + CrO_2 + ScO_x, Cr + CrO_2 + Ti$
 $Al + Al_2 O_3 + AlSi, Ta + Ta_2 O_5 + AlSi,$
 $MoTa + MoTaO_2 + AlSi, Ti + TiO_2 + AlSi$

【0012】本例ではスイッチング素子2はNチャネル型の薄膜トランジスタからなる。薄膜トランジスタは所定の形状にパタニングされたポリシリコン膜10を用いて構成されている。ポリシリコン膜10の上にはゲート絶縁膜11を介してゲート電極Gが形成されている。ポリシリコン膜10はゲート電極G直下のチャネル領域と、その両側のソース領域S及びドレイン領域Dに区分されている。なおチャネル領域とソース領域Sの間、及びチャネル領域とドレイン領域Dの間には低濃度不純物領域が介在しており、薄膜トランジスタはLD D構造となっている。ドレイン領域Dはトレンチ6の底部において付加容量3の第一金属電極膜7と接触している。この第一金属電極膜7はトレンチ6の側壁を通って平坦化層5の表面にまで延設されており画素電極1と電気接続している。従って画素電極1は第一金属電極膜7を介して薄膜トランジスタのドレイン領域Dと電気接続している事になる。一方薄膜トランジスタのソース領域Sには第一層間絶縁膜12を介して信号電極13が電気接続している。この信号電極13は第二層間絶縁膜14により被覆されている。この第二層間絶縁膜14の上にはスイッチング素子2と整合してキャップ膜15が形成される。このキャップ膜15は層間絶縁膜に含まれる水素を

30 ポリシリコン膜10に導入して水素化処理を行なう際の拡散防止膜として機能する。以上キャップ膜15までが下層領域を構成し、その上に平坦化層5からなる中層領域が重ねられている。さらにその上には画素電極1等からなる上層領域が重ねられている。

【0013】以上説明した様に本実施例では、付加容量3を第一金属電極膜7及び第二金属電極膜9から構成しており、両者の間に誘電体膜8を介在させている。この誘電体膜8は陽極酸化法により第一金属電極膜7を低温酸化して成膜する。その上部に第二金属電極膜9を堆積する。従来法と異なり、この方法では第一金属電極膜7自身が十分に低い抵抗値を有している。従って従来の様にポリシリコンを付加容量の電極として用いた際行なっていた低抵抗化処理が不要となる。又、不純物拡散による低抵抗化処理の際、不純物活性化の為に行なっていた900°C以上の加熱処理が不要となる。本例では金属電極膜は300°C以下の温度で例えば真空蒸着により成膜可能であり、低温プロセスとなるので平坦化層5として有機材料を用いた場合にもプロセス上の障害が発生しない。この為、アクティブマトリクス液晶ディスプレイの高精細化に不可欠な平坦化層5の採用が可能になる。さらに本実施例では薄膜トランジスタのドレイン領域Dと

画素電極1が第一金属電極膜7によりトレンチ6を介して電気接続されている。換言するとトレンチ6自体がコンタクトホールの機能を果たすとともに、このトレンチ6に付加容量3を実装できる。よって各画素に割り付けられる素子のサイズをコンパクト化する事が可能になる。

【0014】図2は、図1に示した表示素子基板用半導体装置の半完成品状態を表わす模式的な断面図である。本図はトレンチ6を平坦化層5に形成した後の状態を表わしている。本例では平坦化層5は写真食刻加工可能な透明樹脂材料を用いている。例えば感光性を有するアクリル系樹脂もしくはスチレン系樹脂を用いる事ができる。具体的には、例えば日本合成ゴムのHRC-21, HRC-28, HRC-26, JSS等を用いる事ができる。あるいは東ソーのS010, S100等を用いる事ができる。写真食刻加工可能な透明樹脂材料を用いるとフォトマスクを介した光露光という簡便な加工処理により、平坦化層5にトレンチ6を形成する事ができる。なおフォトリソグラフィに代えて、所定のレジストを介したドライエッティングによりトレンチ6を形成する事も可能である。ドライエッティングとしては例えばCF₄ / O₂の混合ガスを用いたプラズマエッティングを採用できる。しかしながらプラズマエッティングを行なった場合にはトレンチ6の底部に露出するポリシリコン膜に対してプラズマダメージを与える惧れがある。この点に鑑み、平坦化層5の材料としては上述した様にフォトリソグラフィ可能な感光性透明樹脂材料を採用する事が好ましい。

【0015】図3は本発明にかかる表示素子基板用半導体装置の第2実施例を示す模式的な断面図である。理解を容易にする為、図1に示した第1実施例と対応する部分には対応する参考番号を付してある。本例ではスイッチング素子2が、ボトムゲート型の薄膜トランジスタからなる。即ち絶縁基板4の表面には金属又はポリシリコンを所定の形状にパタニングしたゲート電極Gが形成されている。ゲート電極Gの表面は、例えばP-SiN:Hからなるゲート絶縁膜11で覆われている。ゲート絶縁膜11の上にはアモルファスシリコン膜300が成膜されている。さらにその上にはソース領域SとなるN+型アモルファスシリコン膜301が形成されるとともに、ドレイン領域Dとして同じくN+型アモルファスシリコン膜302が形成される。ソース側のN+型アモルファスシリコン膜301にはシリコンを添加したアルミニウム等からなる信号電極13が接続されている。かかる構成を有するスイッチング素子2はP-SiN:Hからなる層間絶縁膜12により被覆されている。

【0016】上述した層間絶縁膜12の上には平坦化層5が成膜されている。この平坦化層5にはトレンチ6が形成されており、その内部に付加容量3が設けられる。付加容量3は第一金属電極膜7、誘電体膜8、第二金属

電極膜9の積層構造からなる。第一金属電極膜7はトレンチ6の底部に露出するドレイン側のN+型アモルファスシリコン膜302に接続している。この第一金属電極膜7はトレンチ6の側壁を通って平坦化層5の表面にまで延設されており、画素電極1と電気接続する様になっている。なお画素電極1は例えばITO等からなる透明導電膜を所定の形状にパタニングしたものである。本発明にかかる付加容量3は回路的に並行して接地される為、第一金属電極膜7を延長する事により画素電極1と電気接続できる。前述した様に画素電極1は第一金属電極膜7の上部に形成されており、誘電体膜8を一部除去した状態で接続される。

【0017】なおアモルファスシリコン薄膜トランジスタのゲート電極としてCr, Ta, Mo, MoTa等の金属材料を用いる事ができる。又、アモルファスシリコン薄膜トランジスタのソース側及びドレイン側電極材料として、シリコンを添加したアルミニウムに代え、Cr, Mo, MoTa等の金属を用いる事も可能である。

【0018】図4は本発明にかかる表示素子基板用半導体装置の第3実施例を示す模式的な部分断面図である。スイッチング素子2としてボトムゲート型の薄膜トランジスタを採用しており、基本的な構成は図3に示した第2実施例と同様である。従って、対応する部分には対応する参考番号を付して理解を容易にしている。異なる点は、ドレインD側のN+型アモルファスシリコン膜302とトレンチ6の底部に延設された第一金属電極膜7との間に、接続電極303を介在させ接続ラインの低抵抗化を図った事である。この接続電極303はソースS側に接続される信号電極13と同一の材料により形成できる。

【0019】図5は本発明に従って形成されたトレンチ型容量の電気特性を示すグラフである。横軸に印加電圧をとり、縦軸に付加容量の変化を表わし、周波数をパラメータとしてとっている。なお縦軸は、全容量(Ctotal)に対する付加容量の変動量(Cox)の比でとっている。グラフから明らかな様に、第一金属電極膜と第二金属電極膜の間に印加される電圧に対して容量変化は殆どなく、安定した特性が得られる。又周波数追従性に關しても特に1MHz程度の高周波領域で極めて安定している事が分かる。

【0020】これに対して図6のグラフはポリシリコン薄膜を電極として用いた従来のトレンチ型容量の特性を示すグラフである。グラフから明らかな様に従来の付加容量は印加電圧に対して容量変化が生じており安定した特性が得られない。又周波数追従性に關しても特に高周波数側で不安定となっている。

【0021】次に図7ないし図10を参照して、図1に示した表示素子基板用半導体装置の製造方法を詳細に説明する。先ず最初に図7の工程Aで、絶縁基板(本例では石英基板)51の表面に、LPCVD法によりポリシリ

リコン膜52を堆積し所定の形状にパタニングする。次に工程Bで、ポリシリコン膜52の表面にゲート絶縁膜53を形成する。本例では、このゲート絶縁膜53はSiO₂ / Si₃N₄ / SiO₂の三層構造を有しており、熱酸化法とLPCVD法を組み合わせて形成される。工程Cで、ゲート絶縁膜53の上にLPCVD法でポリシリコン膜を成膜する。さらに焼を拡散し低抵抗化を図った後所定の形状にパタニングしてゲート電極54に加工する。さらに工程Dでドライエッ칭によりゲート絶縁膜53の不要部分をカッティング除去する。

【0022】次に図8の工程Eに移り、イオン注入法により例えればAsイオンを注入しポリシリコン膜52にソース領域S及びドレイン領域Dを設ける。併せて、LD領域も形成する。以上によりトップゲート型の薄膜トランジスタが形成される。次に工程Fで、CVD法によりPSGを堆積し第一層間絶縁膜55を成膜する。工程Gでウェットエッ칭によりソース領域Sに連通するコンタクトホールを形成する。統いてスパッタリングによりアルミニウムを成膜し所定の形状にパタニングして信号電極56に加工する。次に工程HでCVD法によりPSGを堆積し第二層間絶縁膜57を成膜する。

【0023】次に図9の工程Iに移り、PCVD法によりP-SiNを成膜し所定の形状にパタニングしてキャップ膜58に加工する。さらにウェットエッ칭によりドレイン領域Dに連通するコンタクトホールを開口する。次に工程Jで写真食刻加工可能な透明樹脂材料を塗布し平坦化層59を設ける。さらに平坦化層59を写真食刻(フォトリソグラフィ)し該コンタクトホールに整合してトレンチ60を設ける。トレンチ60の底部にはドレイン領域Dが露出する。統いて工程Kで真空蒸着もしくはスパッタリングにより第一金属電極膜61を成膜し所定の形状にパタニングする。第一金属電極膜61の成膜は300°C以下の低温で実施する事ができ、平坦化層59に対して悪影響を及ぼさない。又平坦化層59の厚みに応じたトレンチ60の側壁に沿って第一金属電極膜61を形成できるので、十分な電極面積を確保でき付加容量の大容量化が可能になる。

【0024】次に図10の工程Lに移り、陽極酸化法により第一金属電極膜61の表面を酸化し誘電体膜62を形成する。陽極酸化も比較的低温で行なう事が可能である。又ピンホールがない緻密な誘電体膜が形成できる。次に工程Mでスパッタリングにより第二金属電極膜63を成膜しトレンチ60内部を埋め込む。以上によりトレンチ型の付加容量が平坦化層59に形成される。最後に工程Nで誘電体膜62をエッ칭で部分的に除去し下地の第一金属電極膜61を露出する。さらにスパッタリングによりITO等の透明導電膜を成膜し所定の形状にパタニングして画素電極64に加工する。この様にしてトレンチ構造の付加容量を備えた表示素子基板用半導体装置が完成する。

【0025】図11は以上の様にして作成された表示素子基板用半導体装置を用いて組み立てられたアクティブマトリクス液晶ディスプレイの一例を示す模式的な部分断面図である。図示する様に表示素子基板用半導体装置に対して所定の間隙を介しガラス基板65が貼り合わされている。該間隙内には液晶層66が封入されている。又ガラス基板65の内表面には対向電極67が形成されている。図から理解される様に、液晶層66は平坦化層59によって平坦化された石英基板51の表面と、本来平坦なガラス基板65の表面との間に挟持され、画面全体に渡って均一な厚みが維持できるとともに配向制御も容易である。

【0026】図12は本発明にかかる表示素子基板用半導体装置の変形例を示す模式的な部分断面図である。図示する様に本装置はマトリクス状に配列した画素電極201、個々の画素電極を駆動するスイッチング素子202及び各画素電極201に対応する付加容量203とが絶縁基板204の上に集積形成されている。本例ではスイッチング素子202はボトムゲート型の薄膜トランジスタからなり、基本的な構成は図4に示したボトムゲート型薄膜トランジスタと同一である。絶縁基板204の表面には厚肉の下地層205が形成されている。この下地層205は前述した平坦化層と同様に写真食刻加工可能な透明樹脂材料からなる。下地層205の表面に、前述したボトムゲート型の薄膜トランジスタからなるスイッチング素子202が形成されている。このスイッチング素子202は層間絶縁膜206により被覆されており、その上に前述した画素電極201がパタニング形成されている。一方、付加容量203は下地層205に設けられたトレンチ207内に形成されている。具体的には、第一金属電極膜208、誘電体膜209、第二金属電極膜210の積層構造からなる。なお第一金属電極膜208はトレンチ207の側壁から表面に向って延設されており、ボトムゲート型薄膜トランジスタのドレイン側に電気接続している。加えてこのドレイン側に設けられたコンタクトホールを介して画素電極201との電気接続がとられている。本例では絶縁基板204の上に厚肉の下地層205を設ける事によりトレンチ207の深さが大きくなり付加容量203の大容量化を図る事が可能である。又、第一金属電極膜208、誘電体膜209、第二金属電極膜210は低温プロセスにより形成できる。第一金属電極膜208は十分な導電率を有しており特に低抵抗化を別途図る必要はない。

【0027】

【発明の効果】以上説明した様に本発明によれば平坦化層にトレンチを形成しこの内部に付加容量を設ける事により、容量値を増大化でき、対応する画素電極に割り当てられた信号電荷の保持能力が高まり、画像品位の向上が達成できるという効果がある。付加容量の電極材料として金属を用いる為低温処理が可能でありプロセス上平

平坦化層との整合性が確保できるという効果が得られる。又、付加容量の誘電体膜として下地金属電極の陽極酸化膜を用いる為、ピンホールがない緻密な絶縁膜が形成でき安定した付加容量を得る事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる表示素子基板用半導体装置の第1実施例を示す部分断面図である。

【図2】図1に示した表示素子基板用半導体装置の半完成品状態を示す断面図である。

【図3】本発明にかかる表示素子基板用半導体装置の第2実施例を示す断面図である。

【図4】同じく第3実施例を示す断面図である。

【図5】本発明にかかる付加容量の電気特性を示すグラフである。

【図6】従来の付加容量の電気特性を示すグラフである。

【図7】第1実施例にかかる表示素子基板用半導体装置の製造方法を示す工程図である。

【図8】同じく製造工程図である。

【図9】同じく製造工程図である。

【図10】同じく製造工程図である。

【図11】本発明にかかる表示素子基板用半導体装置を用いて組み立てられたアクティブマトリクス液晶ディスプレイの一例を示す部分断面図である。

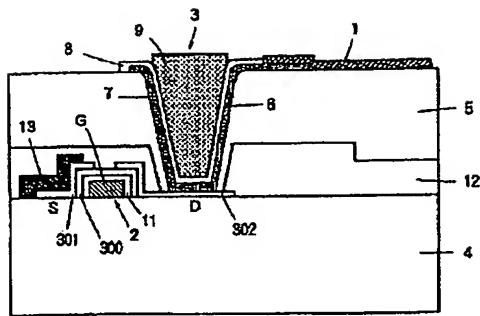
【図12】本発明にかかる表示素子基板用半導体装置の変形例を示す断面図である。

【図13】従来の表示素子基板用半導体装置の一例を示す断面図である。

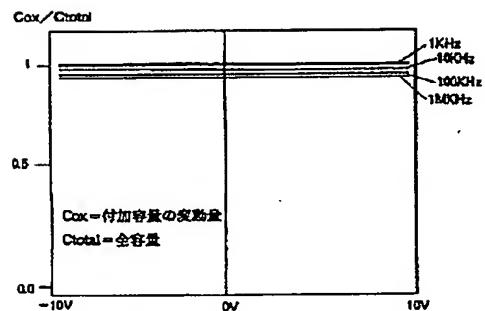
【符号の説明】

1	画素電極
2	スイッチング素子
3	付加容量
4	絶縁基板
5	平坦化層
6	トレンチ
7	第一金属電極膜
8	誘電体膜
9	第二金属電極膜
10	ポリシリコン膜
11	ゲート絶縁膜
12	第一層間絶縁膜
13	Gゲート電極
14	第二層間絶縁膜
15	S,D
16	IPSG
17	10V
18	0V
19	10V
20	平坦化層
21	トレンチ
22	第一金属電極膜
23	誘電体膜
24	第二金属電極膜
25	ゲート絶縁膜
26	付加容量
27	スイッチング素子
28	IPSG
29	10V
30	0V
31	10V
32	平坦化層
33	トレンチ
34	第一金属電極膜
35	誘電体膜
36	第二金属電極膜
37	ゲート絶縁膜
38	付加容量
39	スイッチング素子
40	IPSG
41	10V
42	0V
43	10V
44	平坦化層
45	トレンチ
46	第一金属電極膜
47	誘電体膜
48	第二金属電極膜
49	ゲート絶縁膜
50	付加容量
51	スイッチング素子
52	IPSG
53	10V
54	0V
55	10V
56	平坦化層
57	トレンチ
58	第一金属電極膜
59	誘電体膜
60	第二金属電極膜
61	ゲート絶縁膜
62	付加容量
63	スイッチング素子
64	IPSG
65	10V
66	0V
67	10V
68	平坦化層
69	トレンチ
70	第一金属電極膜
71	誘電体膜
72	第二金属電極膜
73	ゲート絶縁膜
74	付加容量
75	スイッチング素子
76	IPSG
77	10V
78	0V
79	10V
80	平坦化層
81	トレンチ
82	第一金属電極膜
83	誘電体膜
84	第二金属電極膜
85	ゲート絶縁膜
86	付加容量
87	スイッチング素子
88	IPSG
89	10V
90	0V
91	10V
92	平坦化層
93	トレンチ
94	第一金属電極膜
95	誘電体膜
96	第二金属電極膜
97	ゲート絶縁膜
98	付加容量
99	スイッチング素子
100	IPSG
101	10V
102	0V
103	10V
104	平坦化層
105	トレンチ
106	第一金属電極膜
107	誘電体膜
108	第二金属電極膜
109	ゲート絶縁膜
110	付加容量
111	スイッチング素子
112	IPSG
113	10V
114	0V
115	10V
116	平坦化層
117	トレンチ
118	第一金属電極膜
119	誘電体膜
120	第二金属電極膜
121	ゲート絶縁膜
122	付加容量
123	スイッチング素子
124	IPSG
125	10V
126	0V
127	10V
128	平坦化層
129	トレンチ
130	第一金属電極膜
131	誘電体膜
132	第二金属電極膜
133	ゲート絶縁膜
134	付加容量
135	スイッチング素子
136	IPSG
137	10V
138	0V
139	10V
140	平坦化層
141	トレンチ
142	第一金属電極膜
143	誘電体膜
144	第二金属電極膜
145	ゲート絶縁膜
146	付加容量
147	スイッチング素子
148	IPSG
149	10V
150	0V
151	10V
152	平坦化層
153	トレンチ
154	第一金属電極膜
155	誘電体膜
156	第二金属電極膜
157	ゲート絶縁膜
158	付加容量
159	スイッチング素子
160	IPSG
161	10V
162	0V
163	10V
164	平坦化層
165	トレンチ
166	第一金属電極膜
167	誘電体膜
168	第二金属電極膜
169	ゲート絶縁膜
170	付加容量
171	スイッチング素子
172	IPSG
173	10V
174	0V
175	10V
176	平坦化層
177	トレンチ
178	第一金属電極膜
179	誘電体膜
180	第二金属電極膜
181	ゲート絶縁膜
182	付加容量
183	スイッチング素子
184	IPSG
185	10V
186	0V
187	10V
188	平坦化層
189	トレンチ
190	第一金属電極膜
191	誘電体膜
192	第二金属電極膜
193	ゲート絶縁膜
194	付加容量
195	スイッチング素子
196	IPSG
197	10V
198	0V
199	10V
200	平坦化層
201	トレンチ
202	第一金属電極膜
203	誘電体膜
204	第二金属電極膜
205	ゲート絶縁膜
206	付加容量
207	スイッチング素子
208	IPSG
209	10V
210	0V
211	10V
212	平坦化層
213	トレンチ
214	第一金属電極膜
215	誘電体膜
216	第二金属電極膜
217	ゲート絶縁膜
218	付加容量
219	スイッチング素子
220	IPSG
221	10V
222	0V
223	10V
224	平坦化層
225	トレンチ
226	第一金属電極膜
227	誘電体膜
228	第二金属電極膜
229	ゲート絶縁膜
230	付加容量
231	スイッチング素子
232	IPSG
233	10V
234	0V
235	10V
236	平坦化層
237	トレンチ
238	第一金属電極膜
239	誘電体膜
240	第二金属電極膜
241	ゲート絶縁膜
242	付加容量
243	スイッチング素子
244	IPSG
245	10V
246	0V
247	10V
248	平坦化層
249	トレンチ
250	第一金属電極膜
251	誘電体膜
252	第二金属電極膜
253	ゲート絶縁膜
254	付加容量
255	スイッチング素子
256	IPSG
257	10V
258	0V
259	10V
260	平坦化層
261	トレンチ
262	第一金属電極膜
263	誘電体膜
264	第二金属電極膜
265	ゲート絶縁膜
266	付加容量
267	スイッチング素子
268	IPSG
269	10V
270	0V
271	10V
272	平坦化層
273	トレンチ
274	第一金属電極膜
275	誘電体膜
276	第二金属電極膜
277	ゲート絶縁膜
278	付加容量
279	スイッチング素子
280	IPSG
281	10V
282	0V
283	10V
284	平坦化層
285	トレンチ
286	第一金属電極膜
287	誘電体膜
288	第二金属電極膜
289	ゲート絶縁膜
290	付加容量
291	スイッチング素子
292	IPSG
293	10V
294	0V
295	10V
296	平坦化層
297	トレンチ
298	第一金属電極膜
299	誘電体膜
300	第二金属電極膜
301	ゲート絶縁膜
302	付加容量
303	スイッチング素子
304	IPSG
305	10V
306	0V
307	10V
308	平坦化層
309	トレンチ
310	第一金属電極膜
311	誘電体膜
312	第二金属電極膜
313	ゲート絶縁膜
314	付加容量
315	スイッチング素子
316	IPSG
317	10V
318	0V
319	10V
320	平坦化層
321	トレンチ
322	第一金属電極膜
323	誘電体膜
324	第二金属電極膜
325	ゲート絶縁膜
326	付加容量
327	スイッチング素子
328	IPSG
329	10V
330	0V
331	10V
332	平坦化層
333	トレンチ
334	第一金属電極膜
335	誘電体膜
336	第二金属電極膜
337	ゲート絶縁膜
338	付加容量
339	スイッチング素子
340	IPSG
341	10V
342	0V
343	10V
344	平坦化層
345	トレンチ
346	第一金属電極膜
347	誘電体膜
348	第二金属電極膜
349	ゲート絶縁膜
350	付加容量
351	スイッチング素子
352	IPSG
353	10V
354	0V
355	10V
356	平坦化層
357	トレンチ
358	第一金属電極膜
359	誘電体膜
360	第二金属電極膜
361	ゲート絶縁膜
362	付加容量
363	スイッチング素子
364	IPSG
365	10V
366	0V
367	10V
368	平坦化層
369	トレンチ
370	第一金属電極膜
371	誘電体膜
372	第二金属電極膜
373	ゲート絶縁膜
374	付加容量
375	スイッチング素子
376	IPSG
377	10V
378	0V
379	10V
380	平坦化層
381	トレンチ
382	第一金属電極膜
383	誘電体膜
384	第二金属電極膜
385	ゲート絶縁膜
386	付加容量
387	スイッチング素子
388	IPSG
389	10V
390	0V
391	10V
392	平坦化層
393	トレンチ
394	第一金属電極膜
395	誘電体膜
396	第二金属電極膜
397	ゲート絶縁膜
398	付加容量
399	スイッチング素子
400	IPSG
401	10V
402	0V
403	10V
404	平坦化層
405	トレンチ
406	第一金属電極膜
407	誘電体膜
408	第二金属電極膜
409	ゲート絶縁膜
410	付加容量
411	スイッチング素子
412	IPSG
413	10V
414	0V
415	10V
416	平坦化層
417	トレンチ
418	第一金属電極膜
419	誘電体膜
420	第二金属電極膜
421	ゲート絶縁膜
422	付加容量
423	スイッチング素子
424	IPSG
425	10V
426	0V
427	10V
428	平坦化層
429	トレンチ
430	第一金属電極膜
431	誘電体膜
432	第二金属電極膜
433	ゲート絶縁膜
434	付加容量
435	スイッチング素子
436	IPSG
437	10V
438	0V
439	10V
440	平坦化層
441	トレンチ
442	第一金属電極膜
443	誘電体膜
444	第二金属電極膜
445	ゲート絶縁膜
446	付加容量
447	スイッチング素子
448	IPSG
449	10V
450	0V
451	10V
452	平坦化層
453	トレンチ
454	第一金属電極膜
455	誘電体膜
456	第二金属電極膜
457	ゲート絶縁膜
458	付加容量
459	スイッチング素子
460	IPSG
461	10V
462	0V
463	10V
464	平坦化層
465	トレンチ
466	第一金属電極膜
467	誘電体膜
468	第二金属電極膜
469	ゲート絶縁膜
470	付加容量
471	スイッチ

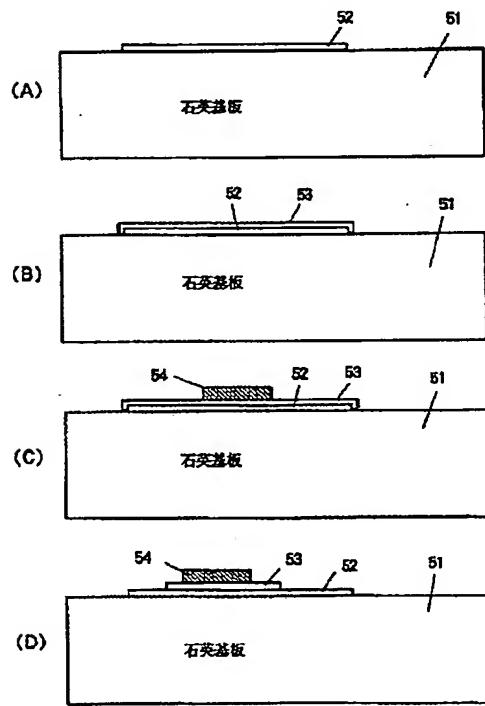
【図3】



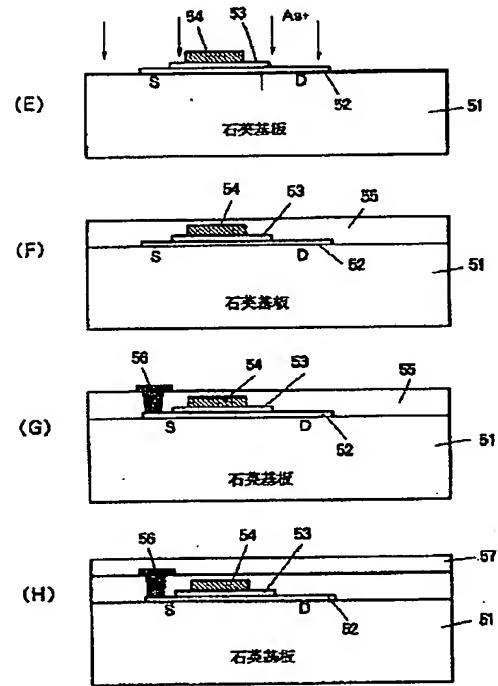
【図5】



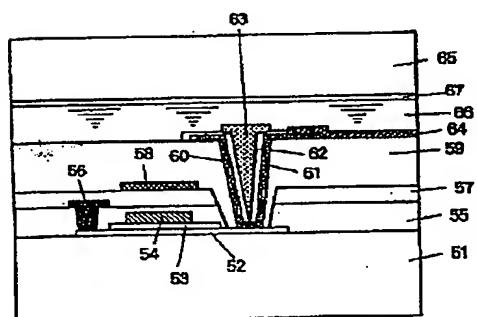
【図7】



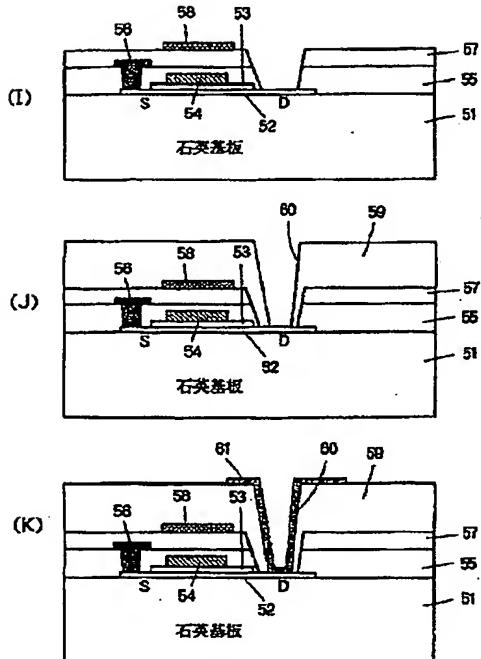
【図8】



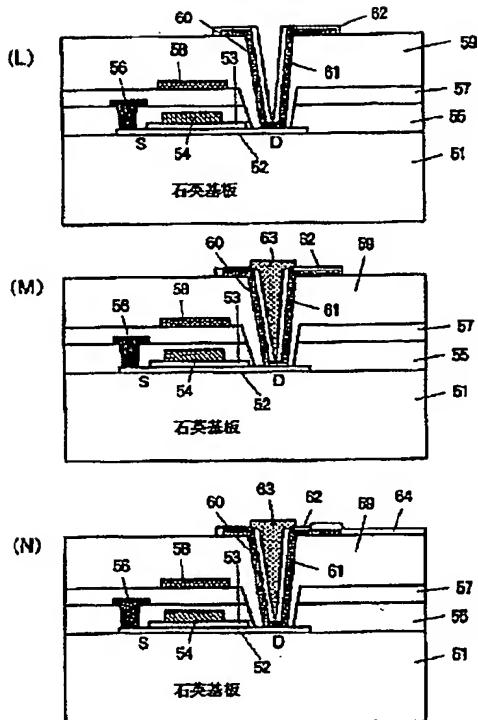
【図11】



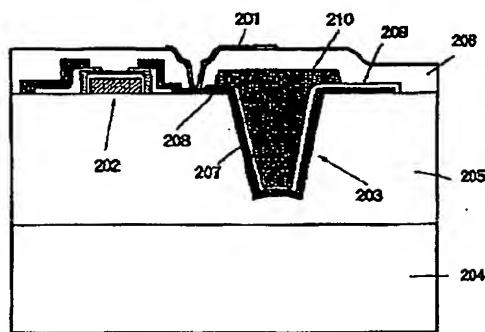
【図9】



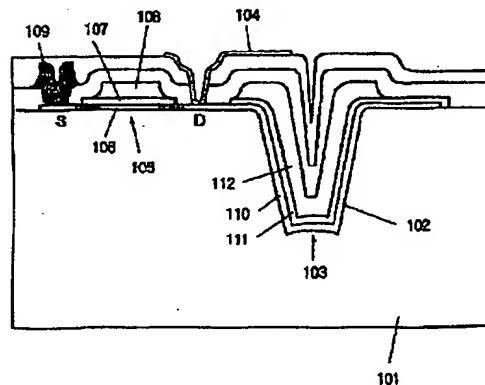
【図10】



【図12】



【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.